

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-177201

(43)Date of publication of application : 24.06.1994

(51)Int.Cl.

H01L 21/60
A61B 1/04

(21)Application number : 04-325782

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 04.12.1992

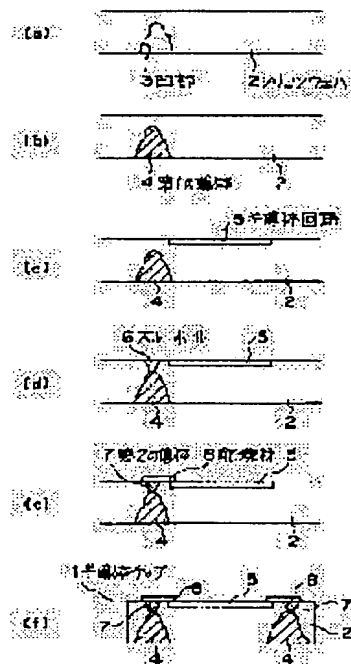
(72)Inventor : KURA YASUTO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To miniaturize a semiconductor device by burying a conductor into a recessed section formed through etching from the rear side of a semiconductor chip and connecting the conductor and a conductor buried on the chip surface side.

CONSTITUTION: A plurality of recessed sections 3 are formed through etching on the rear side of a silicon wafer 2, and conductors 4 such as indium are buried through evaporation, etc. Semiconductor circuits 5 are formed onto the surface of the wafer 2, through-holes 6 penetrated to the conductors 4 are made respectively, and conductors 7 are buried through evaporation, etc., and connected with the conductors 4. The conductors 7 and the semiconductor circuits 5 are connected electrically by wiring materials 8 formed through evaporation, etc. Lastly, the wafer 2 is cut, thus manufacturing semiconductor chips 1. The semiconductor chip is made in small size, and the semiconductor chip is sealed, thus miniaturizing a semiconductor device.



LEGAL STATUS

[Date of request for examination] 22.10.1999

[Date of sending the examiner's decision of rejection] 26.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2001-22898

[Date of requesting appeal against examiner's] 20.12.2001

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-177201

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl.³

H 0 1 L 21/60

A 6 1 B 1/04

識別記号

3 1 1 Q

庁内整理番号

6918-4M

8119-4C

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 5 頁)

(21)出願番号 特願平4-325782

(22)出願日 平成4年(1992)12月4日

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 倉 康人

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

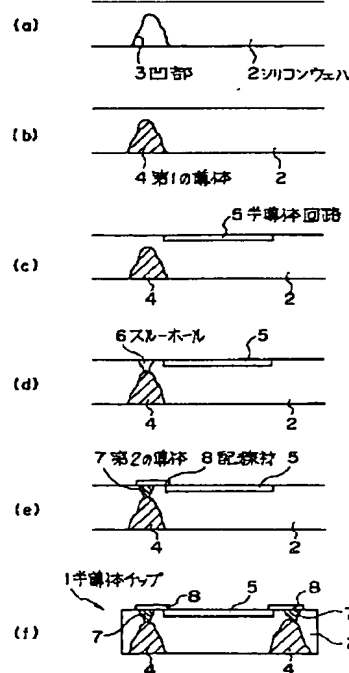
(74)代理人 弁理士 伊藤 進

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 小型化でき、高密度実装が可能な半導体装置を提供すること。

【構成】 シリコンウェハ2の裏面側から形成した凹部3に埋設された第1の導体4と、シリコンウェハ2の表側に形成された半導体回路5と、この表側から前記第1の導体4に届くスルーホール6に埋設された第2の導体7と、この第2の導体7と半導体回路5とを導通する配線材8とからなる半導体チップ1の裏面側の前記第2の導体7に形成した半田バンプを介して外部リードと接続し、半導体チップ1周囲を樹脂で封止した構造にしている。



【特許請求の範囲】

【請求項1】 半導体チップの表面に形成された半導体回路と、
前記半導体チップの裏面側に埋設された第1の導体と、
前記半導体チップの表面側から前記第1の導体に導通し、前記半導体チップの表面側に埋設された第2の導体と、
を有することを特徴とする半導体装置。

【請求項2】 半導体チップの裏面側から表面近くの深さに至る第1の凹部と、前記半導体チップの表面側から前記第1の凹部に連通する第2の凹部とを少なくとも異なる時間にそれぞれエッチングで形成するエッチング処理工程と、
前記エッチング処理工程における最初に形成される第1又は第2の凹部を埋めるように第1又は第2の導体を形成し、その後で前記エッチング処理工程により形成される第2又は第1の凹部に第2又は第1の導体を形成する導体形成工程と、
前記半導体チップの表面側に半導体回路を形成する半導体回路形成工程と、
前記導体形成工程と前記半導体回路形成工程との後に前記半導体回路と前記第2の導体を配線材で電気的に導通する配線工程と、
を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、小型化できるエッチング処理工程を採用した半導体装置に関する。

【0002】

【従来の技術】半導体装置は、回路が形成されたシリコンからなるチップと、このチップから裏面への配線を行うパッケージ、外部リードとから構成される。配線の方法としては

(1)ボンディングワイヤにより、チップとパッケージを導通させるもの、(2)チップの表裏をエッチングにより貫通し、導通させるもの、があった。

【0003】図4は(1)に相当する第1の従来例を示す。半導体チップ61を形成するシリコンウェハ62の表面上には半導体回路63が形成され、この半導体回路63に導通するボンディングパッド64は、ボンディングワイヤ65により、パッケージ66のボンディングパッド67と電気的に接続される。

【0004】パッケージ66はボンディングパッド67と裏面に設けられた電極68を電気的に導通する配線回路を有する。この場合、ボンディングを行うために、シリコンウェハ62の外側にパッケージ66のボンディングパッド67が必要になり、半導体チップ61が大型化してしまう。従って、この半導体チップ61を樹脂封止等した半導体装置は大型化してしまい、高密度の実装ができない。

【0005】このため、このようなパッケージ66を用いないで、図5に示す、つまり(2)に相当する第2の従来例がある。シリコンウェハ71の表面に半導体回路72を形成し、その近傍に裏面へのスルーホール73をエッチングで形成し、このスルーホール73に導体74を埋設している。導体74と半導体回路72は配線材75により電気的に行うようにして半導体チップ76を形成している。

【0006】なお、特開昭63-107154号では半導体チップに貫通孔を形成することを開示しているが、裏側から等、一方の側からのみ形成することを述べているに過ぎない。

【0007】

【発明が解決しようとする課題】図5に示す第2の従来例ではシリコンウェハ71の表面側から裏面へのスルーホール73をエッチングで形成するため、スルーホール73は表面側が大きく、裏面側が小さいテーパ状になってしまう。この場合、半導体回路72に影響しないようにスルーホール73を形成しなければならないため、スルーホール73形成のために図5の左右方向のサイズを大きくしなければならない。つまり、図5の場合にも、半導体チップ76が大きくなってしまったため、高密度の実装ができないという問題点があった。

【0008】本発明は、上述した点にかんがみてなされたもので、小型化でき、高密度実装が可能な半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段及び作用】本発明の半導体装置では、半導体チップの表面に形成された半導体回路と、前記半導体チップの裏面側からエッチングにより形成した凹部に埋設された第1の導体と、前記半導体チップの表面から前記第1の導体に導通し、前記半導体チップの表面側に埋設された第2の導体と、を設けることにより、小型化された半導体チップを形成し、この半導体チップを樹脂封止等した半導体装置を小型化することを可能にしている。

【0010】また、本発明の半導体装置の製造方法では、半導体チップの裏面側から表面近くの深さに至る第1の凹部と、前記半導体チップの表面側から前記第1の凹部に連通する第2の凹部とを少なくとも異なる時間にそれぞれエッチングで形成するエッチング処理工程と、前記エッチング処理工程における最初に形成される第1又は第2の凹部を埋めるように第1又は第2の導体を形成し、その後で前記エッチング処理工程により形成される第2又は第1の凹部に第2又は第1の導体を形成する導体形成工程と、前記半導体チップの表面側に半導体回路を形成する半導体回路形成工程と、前記導体形成工程と前記半導体回路形成工程との後に前記半導体回路と前記第2の導体を配線材で電気的に導通する配線工程と、を有する半導体装置の製造方法により、半導体回路が形

成される表面側における第2の導体部分の占めるサイズを小さくして、小さいサイズの半導体チップの製造を可能にし、小さいサイズの半導体装置の製造を可能にする。

【0011】

【実施例】以下、図面を参照して本発明の実施例を説明する。図1及び図2は本発明の1実施例に係り、図1は1実施例における半導体装置の製造方法における半導体チップの製造工程での各生成物を示し、図2は図1の製造工程で製造された半導体チップを用いて形成した1実施例の半導体装置の構造を示す。

【0012】図2に示す本発明の1実施例の半導体装置11を構成する半導体チップ1は1実施例の製造方法に従う各製造工程により、図1(a)～(e)の中間生成物を経て図1(f)のように製造される。以下、各工程を順次説明する。

【0013】(1)図1(a)に示すように半導体ウェハとして例えばシリコンウェハ2の裏面側から厚さ方向へのエッチングを行うことにより凹部3を複数(図1では紙面垂直方向に凹部3が複数形成される)形成する。この時、各凹部3はシリコンウェハ2を貫通しないで、できるだけ深く形成する。

【0014】(2)次に、各凹部3に蒸着等の方法により、図1(b)に示すようにインジウム等の導電体層からなる第1の導体4を凹部3内に埋設する。

(3)次に、図1(c)に示すようにシリコンウェハ2の表面(エッチングにより凹部3を形成した裏面と反対側の面)に半導体回路5を形成する。

【0015】(4)次に、図1(d)に示すようにシリコンウェハ2の表面側から半導体回路5の周辺近傍からエッチングを行い、第1の導体4まで貫通するスルーホール6をそれぞれ形成する。この場合、第1の導体4はエッチング液で侵されない材質のものをを用いる。

【0016】(5)次に、図1(e)に示すように各スルーホール6に第2の導体7を蒸着等により埋設して第1の導体4と導通させる。その後、蒸着等により形成した配線材8によりこの第2の導体7と半導体回路5とを電気的に接続する。つまり、第1の導体4は、第2の導体7、配線材8を介して半導体回路5と電気的に接続される。

【0017】(6)次に、第2の導体7、配線材8の外側で、シリコンウェハ2を切断して図1(f)に示すように半導体チップ1とする。図1(f)では半導体回路5の両側に第1の導体4が対称的に形成されたものを持っている。勿論、図1(e)のものを切断して、半導体チップ1を形成することもできる。

【0018】この半導体チップ1は裏面側からエッチングで形成した凹部3に埋設した第1の導体4を形成しているので、表面側からの少ないエッチング量で第1の導体4に貫通するスルーホール6を形成でき、このスルー

ホール6には第2の導体7が埋設されて第1の導体4と導通される。

【0019】従って、この少ないエッチング量でのスルーホール6は表面部分での面積を小さくできることになる。このスルーホール6を形成する場合、半導体回路5の近傍に形成できるので、図5に示す従来例に比べて半導体チップ1のサイズを小さくできる。一方、図5に示す従来例では、その表面側からのエッチングだけで、スルーホールを形成するので、裏面側に届くスルーホールを形成すると、表面側のエッチング面積は裏面側よりかなり大きくなるため、この表面側のエッチング面積が半導体回路に影響を与えないように半導体回路から離して形成しなければならないことになり、そのサイズが大きくなってしまう。

【0020】図1(f)に示すこの半導体チップ1を用いて図2に示す半導体装置11が形成される。半導体チップ1の裏面の各第1の導体4上に半田バンプ12を形成し、各半田バンプ12を外部への配線に用いる外部リード13に押圧し、融着して電気的接続を行い、半導体回路5を外部リード13と導通する。

【0021】その後、半導体チップ1自身及び接続部を保護及び絶縁するために絶縁性の樹脂14で外部リード13の外側端部側のみが露出するように半導体チップ1周囲を封止して半導体装置11が形成される。

【0022】この半導体装置11は(図5の従来例の半導体チップとの比較から分かるように)図1(f)に示すような左右方向のサイズを小さくできる半導体チップ1で構成される。このため、従来例よりも小さいサイズの半導体装置11を可能にする。従って、この半導体装置11を用いた電気機器を小型化できるし、同一機能をより高密度実装で実現できる。

【0023】なお、図4の半導体チップ61を用いた従来の半導体装置では、パッケージ66の裏面の電極68上に半田バンプを形成して、半導体チップ61と外部リードとの接続が行われ、半導体チップ61自身及び接続部を保護及び絶縁するように樹脂で封止される。

【0024】また、図5の半導体チップ76を用いた従来の半導体装置では、半導体チップ76裏面の導体74上に半田バンプを形成して、半導体チップ76と外部リードとの接続が行われ、半導体チップ76自身及び接続部を保護及び絶縁するように樹脂で封止される。

【0025】上記1実施例ではシリコンウェハ2の先ず裏面側からエッチングにより凹部3を形成し、この凹部3に第1の導体4を埋設した後に、表側からのエッチングにより第1の導体4に届くスルーホール6を形成すると説明したが、本発明はこれに限定されるものでない。

【0026】例えば、最初に表側からのエッチングにより浅い深さの凹部を形成し、この凹部に導体を埋設した後に、裏面側からこの導体に届くスルーホールを形成し、その後前記導体に導通するようにこのスルーホー

ル内に導体を埋設するようにしても良い。

【0027】また、半導体回路5は図1で説明した順序の工程で製造するものに限定されるものでなく、配線材8を形成する前であれば、その製造時はかなりの自由度がある。なお、シリコンウェハ2の表側からエッチングにより形成する深さとしては、例えば半導体回路5形成部分の深さ程度或いはこの深さより若干深く形成するようにしても良い。

【0028】この1実施例では、少なくともシリコンウェハ2等の半導体ウェハの表側及び裏側の両側から厚み方向にエッチングを行うことにより、両面に貫通するスルーホールを形成するようにしているので、表側或いは裏側からのみのエッチングでスルーホールを形成する場合よりも、半導体回路5が形成された表側でのスルーホール部分のサイズを小さくできる。つまり、スルーホールの表側部分を半導体回路5の近くに形成でき、従って半導体チップ及び半導体装置のサイズを小さくできる。

【0029】図3(a)は1実施例の変形例の半導体装置としてのCCD装置21に電気素子22を実装した様子を示す。このCCD装置21は半導体チップ1の表面の半導体回路5部分を覆うようにカバーガラス22を取り付け、且つ半導体チップ1の裏面の第1の導体4上に半田バンプ12を形成し、半田バンプ12を外部への配線に用いるL字状の外部リード13に押し、融着している。そして絶縁性で且つ遮光性の樹脂23で半導体チップ1の周囲を封止している。

【0030】この半導体チップ1はCCDチップを形成するように半導体回路5が設けてある。半導体チップ1の裏面に対向するように取り付けられた外部リード13、13には屈曲性を有し、表裏両面に電気配線回路が形成された両面フレキシブル基板24がL字状に屈曲されて半田で接続される。

【0031】この時、この両面フレキシブル基板24は配線のみを行う配線面25と、電気素子22が実装されて、信号処理の電気回路が形成される実装面26とからなり、この両面フレキシブル基板24の後方に延出された端部側にはケーブル27が接続され、図示しないビデオプロセッサに至る。

【0032】尚、比較のため図3(b)に従来のCCD装置31を示す。このCCD装置31ではCCD32の裏面に設けた外部リード33、33には配線のための基板である配線基板34と、電気回路及び電気素子35により信号処理する実装基板36とがそれぞれ接続される。配線基板34と実装基板36の後端にはケーブル37がそれぞれ接続され、図示しないビデオプロセッサに至る。

【0033】図3(a)は図3(b)に比較して、CCD装置21自体を小型化できる効果の他に、基板の数を減らすことができるので、装置を小型化できるし、コストダウンすることもできる。また、屈曲性の基板が1枚となるので、装置を捻るような外力が加わっても、基板が撓むだけで済み、外力に対する耐性を向上できる。

【0034】これに対し、図3(b)の従来例では硬性の基板が2枚となるので、外力が加わると、基板が破壊する可能性があり、断線するおそれがあり、外力に対して故障しやすい。

【0035】

【発明の効果】以上説明したように本発明によれば、半導体チップの表面に形成された半導体回路と、前記半導体チップの裏面側からエッチングにより形成した凹部に埋設された第1の導体と、前記半導体チップの表面から前記第1の導体に届くようにエッチングにより形成されたスルーホールに埋設された第2の導体とを設けているので、半導体回路が形成された表側のスルーホール部分を半導体回路の近くに形成することを可能にすることにより、小型化された半導体チップを形成し、この半導体チップを封止した半導体装置を小型化することを可能にしている。

【図面の簡単な説明】

【図1】図1は本発明の1実施例の半導体装置の製造方法における各製造工程に従って生成される生成物を示す図。

【図2】図2は1実施例の半導体装置の構造を示す断面図。

【図3】図3は1実施例の変形例で撮像手段を形成した実装例を示す図。

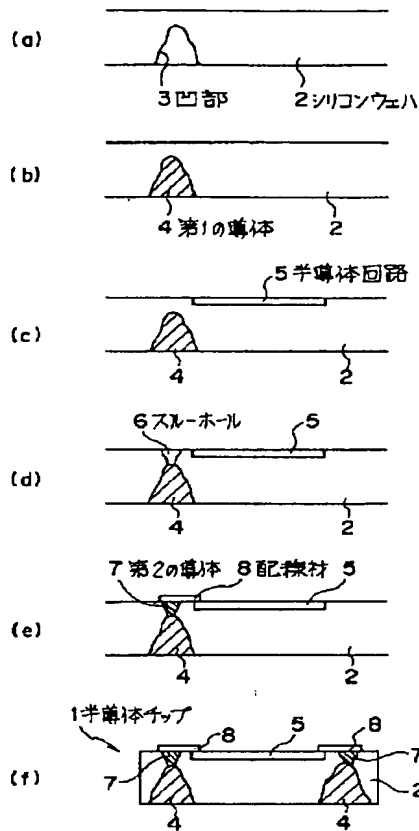
【図4】図4は第1の従来例を示す図。

【図5】図5は第2の従来例を示す図。

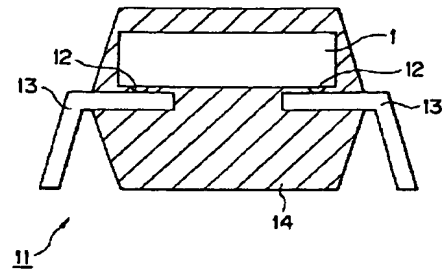
【符号の説明】

- 1…半導体チップ
- 2…シリコンウェハ
- 3…凹部
- 4…第1の導体
- 5…半導体回路
- 6…スルーホール
- 7…第2の導体
- 8…配線材
- 11…半導体装置
- 12…半田バンプ
- 13…外部リード
- 14…樹脂

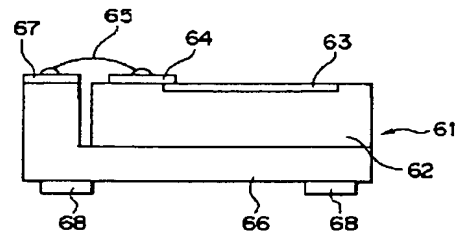
【図1】



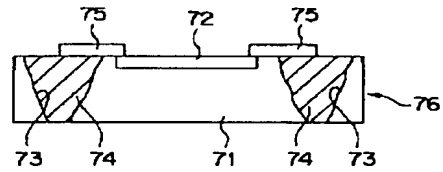
【図2】



【図4】



【図5】



【図3】

